



OrderPatent

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09232690 A

(43) Date of publication of application: 05.09.1997

(51) Int. Cl. H01S 3/18  
H01L 21/52, H01L 23/36

(21) Application number: 08067339  
(22) Date of filing: 27.02.1996

(71) Applicant: VICTOR CO OF JAPAN LTD  
(72) Inventor: YATANI MITSUYOSHI  
SUZUKI TATSUYA

## (54) SEMICONDUCTOR DEVICE

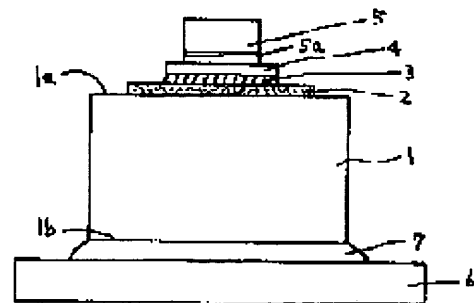
## (57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain a semiconductor device possessed of a mount structure which is low in manufacturing cost and high in reliability by a method wherein a sub-mount board is mounted on the one side of a semiconductor device, a heat dissipating body is mounted on the other side of the semiconductor device, and a chrome layer or a titanium layer prescribed in thickness is interposed between the semiconductor device and the sub-mount board.

**SOLUTION:** An aluminum layer 2 is formed on the mirror-polished surface 1a of a silicon substrate 1 and then patterned. Furthermore, a chrome layer or a titanium layer 0.03 $\mu$ m or above in thickness and a solder layer 4 are successively laminated on the aluminum layer 2 through a vacuum evaporation method. A semiconductor layer device 5 can be easily mounted on the patterned aluminum layer 2. Then, the semicon-

ductor layer device 5 is placed on the solder layer 4 and heated at a prescribed temperature in a pressurized atmosphere, whereby the solder layer 4 is melted and solidified, and the semiconductor laser 5 is bonded onto the mirror-polished surface 1a of the silicon substrate 1. Lastly, the non-mirror polished surface 1b of the silicon substrate 1 is bonded to a copper heat sink 6 plated with Ni-Au through the intermediate of Ag paste resin 7.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-232690

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 S 3/18			H 0 1 S 3/18	
H 0 1 L 21/52			H 0 1 L 21/52	B
23/36			23/36	D
				Z

審査請求 未請求 請求項の数1 F D (全 4 頁)

(21)出願番号 特願平8-67339

(22)出願日 平成8年(1996)2月27日

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番  
地

(72)発明者 八谷 光芳

神奈川県横浜市神奈川区守屋町3丁目12番  
地 日本ビクター株式会社内

(72)発明者 鈴木 龍也

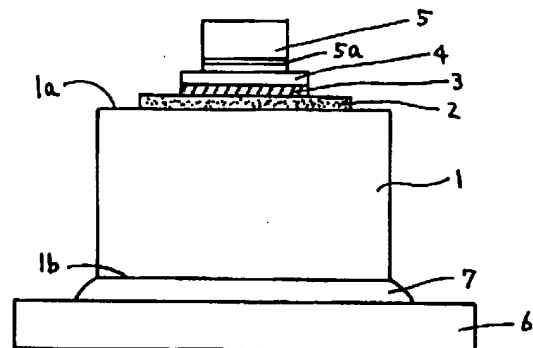
神奈川県横浜市神奈川区守屋町3丁目12番  
地 日本ビクター株式会社内

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 低コストでかつ信頼性の高いマウント構造を有する半導体装置を提供する。

【解決手段】 半導体素子5と、前記半導体素子5を一方の側に載置したサブマウント基板1と、前記サブマウント基板の他方の側に設けられた放熱体6とからなり、前記半導体素子5とサブマウント基板1との間に厚さ0.03 $\mu$ m以上のクロム層3を設けるようにした。



【特許請求の範囲】

【請求項1】半導体素子と、

前記半導体素子を一方の側に載置したサブマウント基板と、

前記サブマウント基板の他方の側に設けられた放熱体とを備え、

前記半導体素子と前記サブマウント基板との間に厚さ0.03 $\mu$ m以上のクロム層またはチタン層を設けたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に係わり、特に半導体素子をサブマウント基板上にマウントする構造よりなる半導体装置に関するものである。

【0002】

【従来の技術】半導体レーザ素子が室温で連続発振するのを長期間継続させ、その超寿命を保持するためには半導体レーザ素子の活性層から発生する熱を効率よく放熱して動作温度を下げる必要がある。そこで、素子をヒートシンク（放熱体）に半田付けすることにより、この熱を逃すようにしているが、そのとき素子の活性層に近い側の端面をヒートシンクに接合するアップサイドダウン方式が一般に採用されている。ところが、半導体レーザ素子とヒートシンクは熱膨張係数が大きく異なるため、これらを直接接合すると、半田の溶融後の凝固過程で半導体レーザ素子の活性層に生ずる内部応力によりダークラインと呼ばれる転移層が発生して素子の発振しきい値電流が上昇し、発振不可能となってしまう。

【0003】そのためヒートシンクと半導体レーザ素子との間に半導体レーザ素子のGaAs基板と熱膨張係数のほぼ等しいシリコンやモリブデンなどをヒートシンクの一部として介在させたサブマウント基板の上に、錫などの半田を用いて半導体レーザ素子を接合する方法が通常とられている。

【0004】図2は第1の従来例の半導体素子のマウント構造を示す断面図である。半導体レーザ素子5をマウントするためのシリコン基板（サブマウント基板）1の片面の鏡面研磨面1a上にはチタン層8、白金層9、金層10をスパッタ法などで順次積層形成後、錫半田層4を蒸着法またはメッキ法により形成する。更に、錫半田層4上に半導体レーザ素子5を載せ、所定の温度に加熱し、錫半田層4を溶融凝固させ、シリコン基板1上に半導体レーザ素子5を接合する。なお、シリコン基板1の非鏡面研磨面1b上には錫半田層4を蒸着法またはメッキ法により形成し、シリコン基板1の非鏡面研磨面1b側をヒートシンク（放熱体）6上に接合する。錫半田層4の錫が溶融凝固する間に金錫合金を形成し、表面が平坦のまま半導体レーザ素子5が接合されるので、活性層5aにはほとんど溶融半田の影響がなくなる。しかし、このためには、白金層9、金層10といった非常に高価

な金属を用いなければならずコストが大幅にアップする問題があった。そこで、白金層8や金層10の代わりにアルミニウム層2を用いる方法がとられた。

【0005】図3は第2の従来例の半導体素子のマウント構造を示す断面図である。半導体レーザ素子5をマウントするためのシリコン基板1の片面の鏡面研磨面1a上にはアルミニウム層2をスパッタ法などで積層形成し、いったん空気中に取り出した後、錫半田層4を蒸着法またはメッキ法により形成する。更に、錫半田層4上に半導体レーザ素子5を載せ、所定の温度に加熱し、錫半田層4を溶融凝固させ、シリコン基板1上に半導体レーザ素子5を接合する。なお、シリコン基板1の非鏡面研磨面1b上にはAgペースト等からなる樹脂7を形成し、シリコン基板1の非鏡面研磨面1b側をヒートシンク6上に接合する。

【0006】

【発明が解決しようとする課題】しかしながら、アルミニウムは空気中で酸化されやすく、形成したアルミニウム層2をいったん空気中に露出させた後、錫半田層を形成させるようにしているため、錫半田層4は酸化膜を有したアルミニウム層2表面に形成することになり、アルミニウム層2と錫半田層4との密着性が著しく低下する。さらに、アルミニウム層2上に生じた酸化膜は電位障壁となるため半導体レーザ素子5の素子抵抗を増大させるため、発熱が大きくなって素子寿命を低下させたり導通不良を引き起こしたりする等の問題を生じていた。

【0007】そこで、本発明は上記の点に着目してなされたものであり、低コストでかつ信頼性の高いマウント構造を有する半導体装置を提供することを目的とするものである。

【0008】

【課題を解決するための手段】本発明になる半導体装置は、半導体素子5と、前記半導体素子5を一方の側に載置したサブマウント基板1と、前記サブマウント基板1の他方の側に設けられた放熱体6とを備え、前記半導体素子5と、前記サブマウント基板1との間に厚さ0.03 $\mu$ m以上のクロム層またはチタン層を設けたことを特徴とする。

【0009】半導体素子と前記半導体素子を載置した前記サブマウント基板との間にクロムやチタンの還元性の高い金属を介在させるため、サブマウント基板上に形成された酸化膜の影響を除去できるので、前記半導体素子と前記サブマウント基板との接着性を大幅に向上できるとともに、酸化膜の影響によって生じる電位障壁を取り除くことができる。

【0010】

【発明の実施の形態】以下、図面を参照して本発明の一実施例を説明する。図1は、本発明の半導体素子のマウント構造を示す断面図である。前述した構成と同一構成部分は同一符号を付し、その説明を省略する。1はシリ

コン基板、2はアルミニウム層、3はクロム層である。本発明は図3において、アルミニウム層2と錫半田層4との間にクロム層3を介在させたものに等しい。

【0011】0.5μm厚のアルミニウム層2は真空蒸着あるいはスパッタ法で厚さ250μmのn型シリコン基板1の鏡面研磨面1a上に形成され、いったん空気中に取り出した後、フォトリソグラフィ法及びエッチング法を用い、パターンニングして、500μm×500μm領域部分を残し、それ以外を除去してある。更に、0.05μm厚のクロム層3及び0.5μm厚の錫半田層4は真空蒸着法で順次アルミニウム層2上に積層され、250μm×250μmの大きさを有する半導体レーザー素子5はパターンニングされたアルミニウム層2上に容易に載置できるように300μm×300μm領域部分を残し、それ以外を除去してある。次に、半導体レーザー素子5を前記錫半田層4の上に載せ、荷重をかけながら所定の温度に加熱し、錫半田層4を熔融凝固させ、シリコン基板1の鏡面研磨面1a上に半導体レーザー5を接合する。最後に、シリコン基板1の非鏡面研磨面1bをAgペースト等からなる樹脂7を介してニッケル-金メッキした銅製のヒートシンク6上に接合する。

【0012】以上のように錫半田層が熔融凝固する間に錫-クロム-アルミニウム合金を形成し、表面が平坦のまま半導体レーザー素子5が接合されるのでその活性層5aの位置する領域には錫半田層の影響はほとんどなくなる。アルミニウムは酸化されやすいため、いったん空気中に取り出してアルミニウム層2のパターンニングを行っているので、アルミニウム層2の表面には酸化膜が生じやすい状態となっている。クロム層3は酸化膜を還元除去する作用があるので、アルミニウム酸化膜上に形成されたクロム層3は、アルミニウム酸化膜と反応して、クロム層3中に取り込むためクロム層とアルミニウム層との接合は酸化膜のないアルミニウム層2-クロム層3の接着強度の強い接合ができる。なお、クロム層3の厚さを0.03μm以下にすると均一なクロム層3の形成が困難となりアルミニウム層2表面の酸化膜を部分的にし\*

＊か還元除去できなくなるため接着強度の低下や素子抵抗の増大等の問題が生じる。このため、クロム層3の厚さは0.03μm以上にする必要がある。

【0013】本実施例では還元作用のある層としては、クロムを用いたが、チタンでも同様の効果が得られる。また、半田材料としては、錫半田の代わりにインジウム半田あるいは鉛-錫半田等を用いてもかまわない。なお、本実施例では半導体レーザー素子の例を用いて説明したが、発光ダイオード、FET（電界効果トランジスタ）等の半導体素子に対しても本発明を適用できることはいうまでもない。

【0014】

【発明の効果】以上説明したように、本発明の半導体装置によれば、半導体素子とサブマウント基板との間に還元作用のあるクロムまたはチタンを挟むことによって、サブマウント基板上の酸化膜を除去できるので、前記半導体素子と前記サブマウント基板との接着強度を増すことができる。また、酸化膜の影響による素子抵抗の増大に伴う発熱、導通不良といった電気的特性を改善することができ、半導体素子の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の半導体素子のマウント構造を示す断面図である。

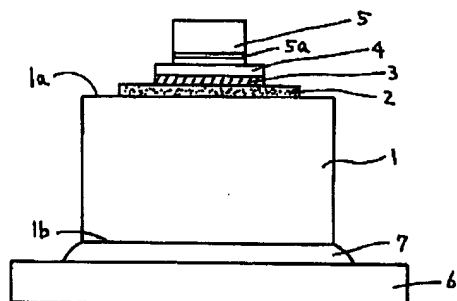
【図2】第1の従来例の半導体素子のマウント構造を示す断面図である。

【図3】第2の従来例の半導体素子のマウント構造を示す断面図である。

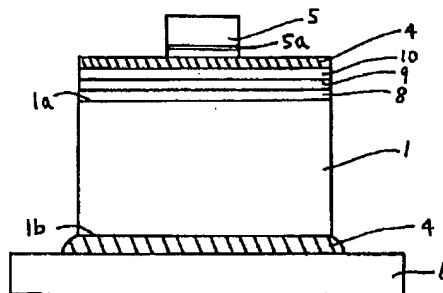
【符号の説明】

- 1…シリコン基板（サブマウント基板）
- 2…アルミニウム層
- 3…クロム層
- 4…錫半田層
- 5…半導体レーザー素子
- 6…ヒートシンク（放熱体）
- 7…樹脂

【図1】



【図2】



(4)

特開平9-232690

【図3】

